

Dynamic memory with increased access speed and reduced chip area

Patent Number: US6359825
Publication date: 2002-03-19
Inventor(s): TAKEDA KOICHI (JP); KIMURA TOHRU (JP); AIMOTO YOSHIHARU (JP)
Applicant(s): NIPPON ELECTRIC CO (JP)
Requested Patent: JP2000132969
Application Number: US19990428712 19991028
Priority Number(s): JP19980306450 19981028
IPC Classification: G11C8/00
EC Classification: G11C11/4091; G11C7/06L; G11C7/10L; G11C7/10R; G11C11/4096
Equivalents: KR2000029354

Abstract

A dynamic memory including a first sense amplifier circuit directly connected to a bit line of a memory cell, a second sense amplifier directly connected to a data input/output circuit, a switching circuit connected between the first sense amplifier circuit and the second sense amplifier circuit. In a reading operation, the switching circuit is controlled to separate the first sense amplifier circuit and the second sense amplifier circuit from each other after data is read out from the memory cell, so that the read-out data is amplified by the second sense amplifier circuit and outputted from the second sense amplifier circuit to an external of the memory. On the other hand, the first sense amplifier circuit amplifies the read-out data and writes back the read-out data to the memory cell. In the writing operation, the switching circuit is controlled to interconnect the first sense amplifier circuit and the second sense amplifier circuit to each other, so that data to be written from an external is written into the memory cell through the first and second sense amplifier circuits

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-132969

(P2000-132969A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl.⁷

G11C 11/409

識別記号

F I

G11C 11/34

テマコード (参考)

354R 5B024

審査請求 有 請求項の数6 OL (全6頁)

(21) 出願番号

特願平10-306450

(22) 出願日

平成10年10月28日 (1998.10.28)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 相本 代志治

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 木村 亨

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088812

弁理士 ▲柳▼川 信

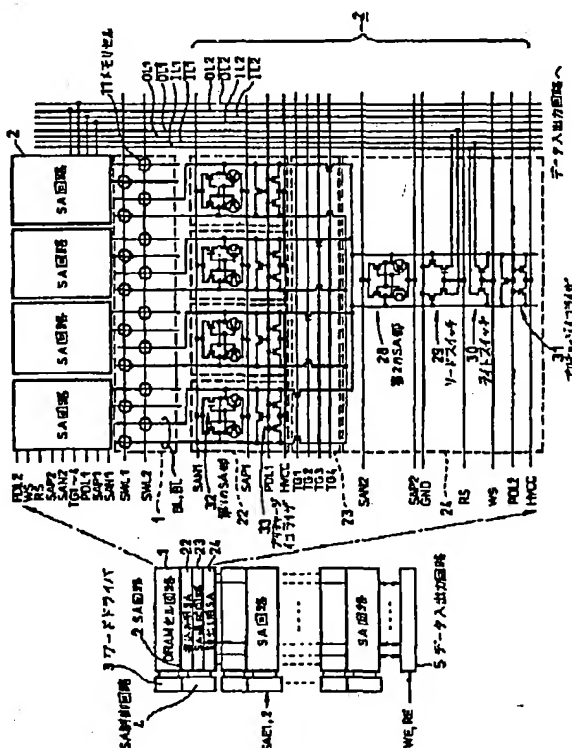
最終頁に続く

(54) 【発明の名称】 ダイナミックメモリ装置

(57) 【要約】

【課題】 ダイナミックメモリのアクセス速度、サイクル速度を高速化しチップ内部ノタイミング制御回路の面積や消費電力を削減する。

【解決手段】 メモリセル11に接続されたビット線対BL, BLバーに、第一のSA22、第二のSA24がSA選択回路 (トランスファゲート) 23を挟んでこの順に直列接続される。読出し時には、メモリセル11からデータを読出した後、トランスファゲートを非活性化して第一のSA22と第二のSA24とを分離し、第二のSA24はメモリセル11からの読出しデータを増幅して外部に出力し、第一のSA22は読出しデータを増幅してメモリセル11に書戻す。書込み時には、外部から入力されたデータは第二のSA24を通過して第一のSA22で増幅してメモリセル11に書込む。



【特許請求の範囲】

【請求項1】 メモリセルのビット線に直接接続された第一のセンスアンプ回路と、データ入出力回路に直接接続された第二のセンスアンプ回路と、これ等第一及び第二のセンスアンプ回路との間に設けられたスイッチング回路と、読出し時には、メモリセルからデータを読出した後、前記スイッチング回路により第一及び第二のセンスアンプ回路を分離して前記第二のセンスアンプ回路から読出しデータの増幅出力を外部へ導出制御する制御手段とを含むことを特徴とするダイナミックメモリ装置。

【請求項2】 前記第一のセンスアンプ回路は前記読出しデータを増幅してメモリセルに書き戻すよう動作することを特徴とする請求項1記載のダイナミックメモリ装置。

【請求項3】 前記制御手段は、書込み時には、前記スイッチング回路により前記第一及び第二のセンスアンプ回路を接続してこれ等両センスアンプ回路を介して外部からの書込みデータを前記メモリセルに書込むよう制御することを特徴とする請求項1または2記載のダイナミックメモリ。

【請求項4】 前記制御手段は、前記第一及び第二のセンスアンプ回路の各動作制御信号のタイミングを読出し及び書込み動作時に共に同一としたことを特徴とする請求項1～3いずれか記載のダイナミックメモリ。

【請求項5】 書込み時に前記第一のセンスアンプ回路の端子の片側のみに所定論理レベルを書込むことを特徴とする請求項1～4いずれか記載のダイナミックメモリ。

【請求項6】 前記第二のセンスアンプ回路は、前記第一のセンスアンプ回路の複数個に対して共通に一個設けられていることを特徴とする請求項1～5いずれか記載のダイナミック回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はダイナミックメモリに関し、特にアクセス速度及びサイクル速度を高速化し、かつメモリチップ内部で使われるタイミング制御回路の面積や電力を削減可能としたダイナミックメモリに関するものである。

【0002】

【従来の技術】 図4に従来のダイナミックランダムアクセスメモリ(DRAM)の回路構成を示す。図4を参照すると、図4の左側にその概略ブロック構成を示しており、右側にその一部拡大の詳細回路を示している。DRAMセル(メモリセル)回路1とSA(センスアンプ)回路2とが一組とされて、複数組が整列して配置されている。各組のDRAMセル回路1及びSA回路2の各々には、ワードドライバ3及びSAドライバ4が夫々設けられている。そして、SA回路2には、センスアンプ活性化信号SAEが供給されている。

【0003】 更に、これ等DRAMセル回路1とSA回路2とからなる各組に共通に、SA選択回路6、DA(データアンプ)回路7、データ入出力回路5が設けられている。DA回路7には、データアンプ制御信号DAEが供給されており、またデータ入出力回路5には、ライト信号WE及びリード信号REが供給されている。

【0004】 DRAMセル回路1とSA回路2とからなる第一の組の詳細ブロック図を参照すると、DRAMセル回路1においては、複数のワード線SWL(図では、SWL1, 2の2本のみを示す)と複数ビット線対BL, BLバーとの各交点にメモリセル11が配置されている。SA回路2はビット線対の各々に対して設けられており、半導体チップの集積回路のレイアウト設計上、DRAMセル回路1を中心にしてその上下に対称に、これ等SA回路2は配列されるのが一般的であり、図では、複雑化を避けるために下側のSA回路のみに関して具体的回路図を示している。

【0005】 SA回路2はビット線対に両端子(入出力端子)が接続されたSA部21と、ビット線対に両入力端子が接続され出力データ線対OL, OLバーに両出力端子が接続されたリードスイッチ25と、入力データ線対IL, ILバーに両入力端子が接続され両出力端子がビット線対に接続されたライトスイッチ26と、ビット線対のプリチャージイコライジングをなすためのプリチャージイコライザ27とを有している。

【0006】 尚、PDLはプリチャージイコライズ信号、WSはライト信号、RSはリード信号、SAN, SAPはセンスアンプ電源電圧、HVCCは1/2電源電圧を夫々示している。

【0007】 実際の動作タイミングを図5に示す。最初に、読出し動作について説明する。まず、ワード線SWLを選択してメモリセル11からデータをビット線対に読出し、次に、センスアンプ活性化信号SAEによりSA回路を活性化し、データをメモリセルに書き戻すと共に、リード信号RSによりSA選択回路6によって選択されたSA回路のデータをDA回路7に送り、データアンプ制御信号DAEによりDA回路7を活性化して再度データを増幅する。そして、データ出力回路5にこの増幅データを送り、最後にデータ出力回路5からメモリ外部にデータを取出す。

【0008】 この時、リード信号RSは、ビット線対の信号が十分に増幅されてから入力する必要があるが、ビット線対の容量、抵抗が大きいためセンスアンプ活性化信号SAEとリード信号RSとの入力には時間差を設ける必要がある。

【0009】 書込み動作について述べる。データ入力回路5から入力されたデータをDA回路7に送り、SA選択回路6によって選択されたSA回路に送る。メモリセル11への書込みは、DA回路7から送られたデータによりSA回路のデータを強制的に書換えることで行う。

従って、データの読出し時と書込み時とは、SA回路、DA回路の動作順序を逆転する必要があり、DRAMを動作させるための制御回路が複雑化することになる。

【0010】

【発明が解決しようとする課題】第一の問題点は、従来のDRAMの構成では、高速アクセスができないことである。その理由は、ビット線の容量、抵抗が大きいため、センスアンプ活性化信号SAEとリード信号RSとの入力には時間差を設ける必要があるからである。

【0011】第二の問題点は、読出し書込みを行うための制御方式が複雑となり、結果としてアクセス速度、面積、消費電力等が増加することである。その理由は、データの読出し時と書込み時で、SA回路、DA回路を用いたメモリセルへのデータの入出力を行う上で、それぞれを活性化する順序を変更する必要があるからである。

【0012】本発明の目的は、データ読出し、書込みを高速化して内部で使われるタイミング制御回路の面積や消費電力を削減することで、高速、低電力、低価格なダイナミックランダムアクセスメモリを提供することである。

【0013】

【課題を解決するための手段】本発明によれば、メモリセルのビット線に直接接続された第一のセンスアンプ回路と、データ入出力回路に直接接続された第二のセンスアンプ回路と、これ等第一及び第二のセンスアンプ回路との間に設けられたスイッチング回路と、読出し時には、メモリセルからデータを読出した後、前記スイッチング回路により第一及び第二のセンスアンプ回路を分離して前記第二のセンスアンプ回路から読出しデータの増幅出力を外部へ導出制御する制御手段とを含むことを特徴とするダイナミックメモリ装置が得られる。

【0014】そして、前記第一のセンスアンプ回路は前記読出しデータを増幅してメモリセルに書き戻すよう動作することを特徴とする。また、前記制御手段は、書込み時には、前記スイッチング回路により前記第一及び第二のセンスアンプ回路を接続してこれ等両センスアンプ回路を介して外部からの書込みデータを前記メモリセルに書込むよう制御することを特徴とする。

【0015】更に、前記制御手段は、前記第一及び第二のセンスアンプ回路の各動作制御信号のタイミングを読出し及び書込み動作時に共に同一としたことを特徴とする。また、書込み時に前記第一のセンスアンプ回路の端子の片側のみに所定論理レベルを書込むことを特徴とする。更にはまた、前記第二のセンスアンプ回路は、前記第一のセンスアンプ回路の複数個に対して共通に一個設けられていることを特徴とする。

【0016】本発明の作用を述べる。メモリセルに接続されたビット線に、第一及び第二のセンスアンプを設

け、メモリセルへの書込みと外部への読出しとを分離することにより、第一及び第二のセンスアンプの各端子（入出力端子）における負荷を軽くでき、高速読出し、書込みを可能とする。また、書込み時には、外部から入力されたデータを第二のセンスアンプを通過させ、第一のセンスアンプで増幅してメモリセルに書込むようにすることにより、第一及び第二のセンスアンプの動作を制御する信号タイミングを読出し動作と書込み動作とで同一にでき、チップ内部で使われるタイミング制御回路の面積や消費電力の削減が可能になる。

【0017】本発明では、第一のセンスアンプの端子への微小信号書込み、第一のセンスアンプの端子の片側のみへのローレベル書込みもしくは、第一のセンスアンプの端子の片側のみへの微小信号ローレベル書込みを行うことによって、低消費電力化が可能になる。

【0018】

【発明の実施の形態】以下に、図面を参照しつつ本発明の実施例を説明する。図1は本発明の実施例のブロック図であり、図4と同等部分は同一符号にて示している。図1においても、図4と同様に、左側に全体の概略構成図を、右側にその一部詳細回路図を夫々示す。

【0019】先ず、図1の左側の全体図を参照すると、DRAMセル（メモリセル）回路1とSA（センスアンプ）回路2とが一组とされて、複数組が整列して配置されている。各組のDRAMセル回路1及びSA回路2の各々には、ワードドライバ3とSA制御回路（SAドライバ）4とが夫々設けられている。そして、SA制御回路4には、センスアンプ活性化信号SAEが夫々供給されている。

【0020】更に、これ等DRAMセル回路1とSA回路2とからなる各組に共通に、データ入出力回路5が設けられており、このデータ入出力回路5にはライト制御信号WE及びリード制御信号REが供給されている。各SA回路2は書込み用SA22、SA選択回路23、読出し用SA24からなっている。

【0021】DRAMセル回路1とSA回路2とからなる第一の組の詳細ブロック図を参照すると、DRAMセル回路1においては、複数のワード線SWL（図では、SWL1、2の2本のみを示す）と複数ビット線対BL、BLバーとの各交点にメモリセル11が配置されている。SA回路2はビット線対の各々に対して設けられており、半導体チップの集積回路のレイアウト設計上、DRAMセル回路11を中心にしてその上下に対称に、これ等SA回路2は配列されるのが一般的であり、図では、複雑化を避けるために下側のSA回路のみに関して具体的回路図を示している。

【0022】ビット線対BL、BLバーの各々には書込み用SA22（の両端子）が直接接続されており、この書込み用SA22は第一のSA部32と、ビット線対のプリチャージイコライザ33とからなっている。

【0023】読出し用SA24は複数の書込み用SA22に対して共通に設けられており、この読出し用SA24は第二のSA部28、リードスイッチ29、ライトスイッチ30、プリチャージイコライザ31からなっている。そして、これ等複数の書込み用SA22と共通の読出し用SA24との間には、両SAを分離/接続するためのSA選択回路23が設けられており、SA選択回路23はトランスファゲート構成となっており、トランスファゲート制御信号TGにより夫々オンオフ制御される。

【0024】読出し用SA24のリードスイッチ29の出力が出力データ線対OL、OLバーを介してデータ入出力回路5へ導出され、またデータ入出力回路5から入力データ線対IL、ILバーを介して供給される入力データがライトスイッチ30の入力へ供給されている。尚、各種制御信号に関しては、図4に示したものと同一である。

【0025】実際の動作タイミングを図2に示す。最初に読出し動作について説明する。まず、センスアンプ選択回路23により読出し用SA24に接続するビット線対を選択する。その後、ワード線SWLを選択してメモリセル11からデータをビット線対に読出し、センスアンプ選択回路23によりビット線対と読出しビット線対とを切り離す。次に、読出し及び書込み用センスアンプ活性化信号SAE1, 2により読出し及び書込み用SAを夫々活性化し、データをメモリセル11に書き戻すと共に、データをデータ出力回路5に送り、最後にデータ出力回路5からメモリ外部にデータを取り出す。

【0026】この際、容量、抵抗の大きいビット線対と負荷の軽い読出し用SA24とを分離して動作させるため、読出し用センスアンプ活性化信号SAE2とリード信号RSとの入力の時間差を小さくできる。

【0027】書込み動作について述べる。データ入力回路5からデータを、第二のSA部28を介して、センスアンプ選択回路23によって選択された書込み用SA22に送り、第一のSA部32でデータ入力回路5から送られたデータを増幅し、メモリセル11に書込む。この時、メモリセル11から読出されたデータをデータ入力回路5から送られたデータによって書換え、その後、書込み用SA22の第一のSA部32を活性化してメモリセル11へ書き込む。このようなタイミングで書込みを行なうことにより、図2に示した様に、データの読出し時と書込み時とで、同一のタイミング制御が可能となる。

【0028】書込みの際、従来の方法では、SAを活性化した後強制的に書込みを行なうため、電源電圧レベルで書込みを行なっている。これに対して、図3の詳細波形図(a)に示す様に、本発明では、SAを活性化する前にデータをビット線対に送るため、微小信号で書込みを行うことができる。また、図3(b)に示す様に、相補信号の一方のみをローレベルとしても書込みがで

き、その時の書込みレベルを、図3(c)に示す様に、微小信号とできる。このようにすることにより、書込み時の消費電力を小さくできることになるのである。

【0029】

【発明の効果】本発明による第一の効果は、読出し書込み動作を高速に実行できることである。その理由は、メモリセルに接続されたビット線対に第一及び第二のセンスアンプを設けてメモリセルへの書込みと外部への読出しとを分離することにより、第一及び第二のセンスアンプの負荷を軽くできるためである。

【0030】本発明による第二の効果は、集積回路チップ内部で使われるタイミング制御回路の面積や消費電力の削減できることである。その理由は、書込みの際、外部から入力されたデータを第二のセンスアンプを通過させ、第一のセンスアンプで増幅してメモリセルに書込むようにすることにより、第一及び第二のセンスアンプの動作を制御する信号タイミングを読出し動作と書込み動作とで同一にできるためである。

【0031】本発明による第三の効果は、書込み時の消費電力を小さくできることである。その理由は、第一のセンスアンプの端子へのデータ書込みを微小信号、片側のみへのローレベルもしくは片側のみへの微小信号ローレベル書込みが可能であるためである。

【図面の簡単な説明】

【図1】本発明の実施例の構成を示すブロック図である。

【図2】図1のブロックの動作タイミング図である。

【図3】図1のブロックの書込み時のタイミング波形例を示す図である。

【図4】従来技術の一例の構成を示すブロック図である。

【図5】図4のブロックの動作タイミング図である。

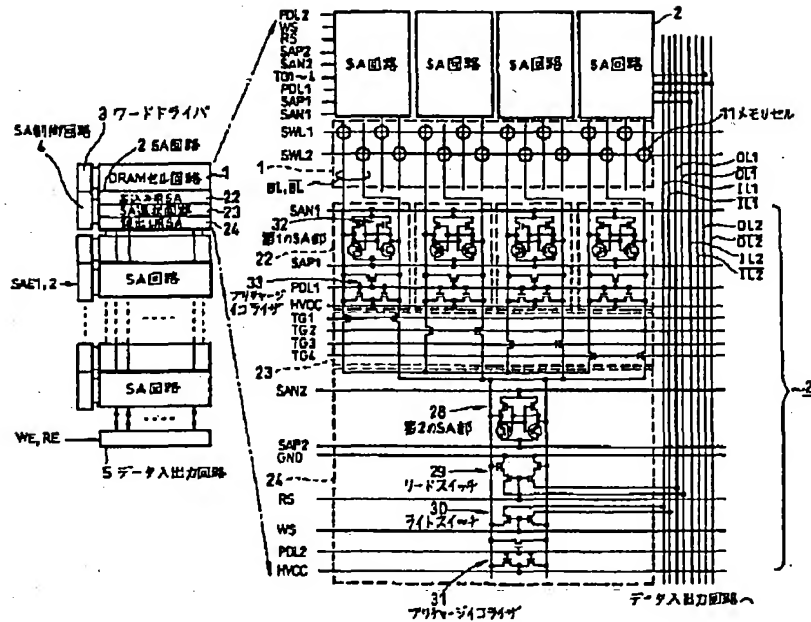
【符号の説明】

- 1 DRAMセル回路
- 2 SA回路
- 3 ワードドライバ
- 4 SA制御回路
- 5 データ入出力回路
- 11 メモリセル
- 22 書込み用SA
- 23 SA選択回路
- 24 読出し用SA
- 28 第二のSA部
- 29 リードスイッチ
- 30 ライトスイッチ
- 31, 33 プリチャージイコライザ
- 32 第一のSA部
- BL, BLバー ビット線対
- OL, OLバー 出力データ線対
- IL, ILバー 入力データ線対

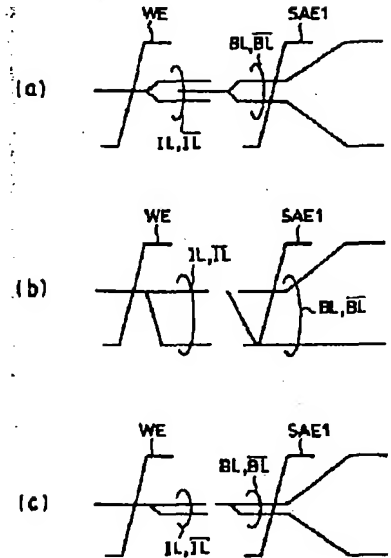
SWL ワード線
 PDL プリチャージイコライズ信号
 WS ライト信号
 RS リード信号
 SAN, SAP センスアンプ電源

HVCC 1/2電源電圧
 TG トランスファゲート制御信号
 SAE センスアンプ活性化信号
 WE ライト制御信号
 RE リード制御信号

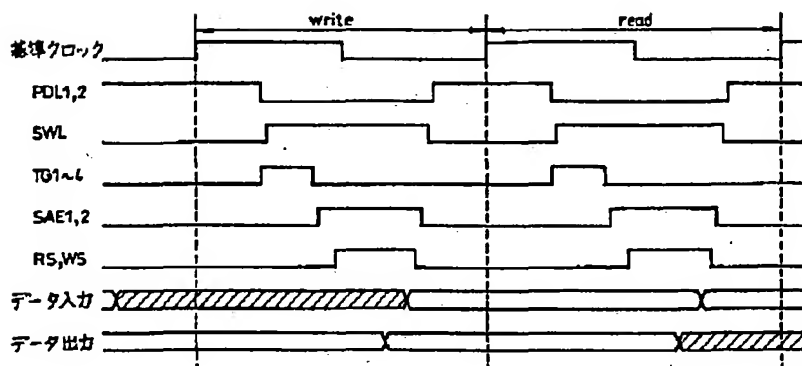
【図1】



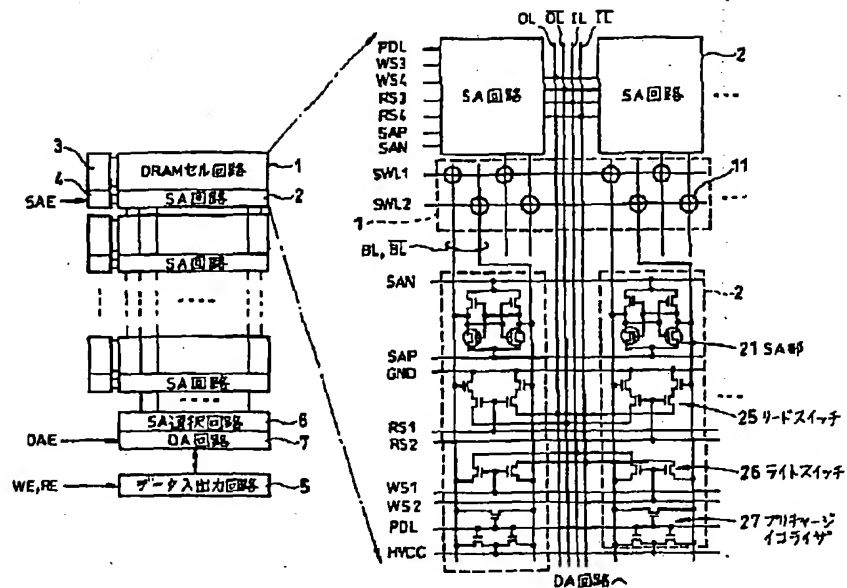
【図3】



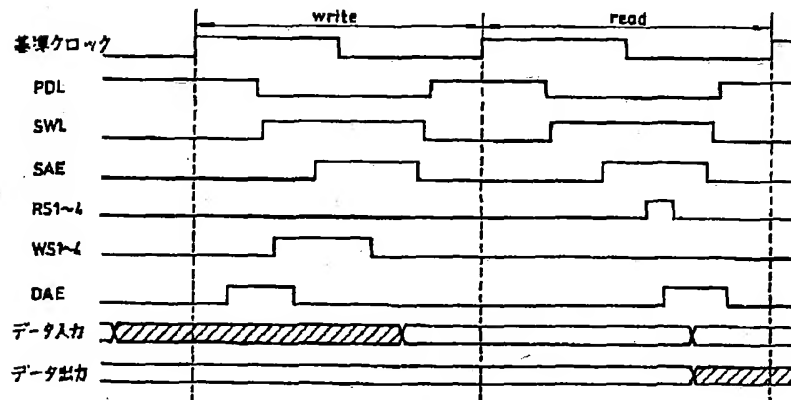
【図2】



【図4】



【図5】



フロントページの続き

(72)発明者 武田 晃一
東京都港区芝五丁目7番1号 日本電気株
式会社内

Fターム(参考) 5E024 AA01 AA07 AA15 BA15 BA21
BA25 BA29 CA07